

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-143357

(43)Date of publication of application : 05.06.1989

(51)Int.Cl.

H01L 29/78

(21)Application number : 62-300202

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.11.1987

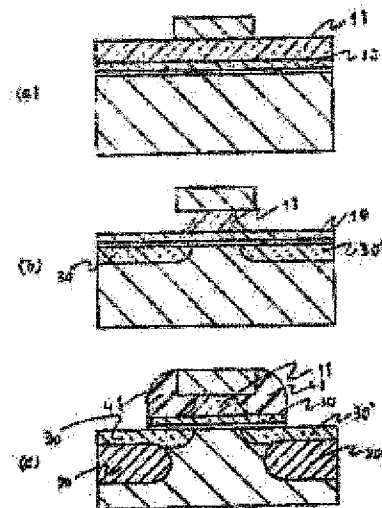
(72)Inventor : HISAMOTO MASARU
IZAWA RYUICHI
TAKEDA EIJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To suppress a short channel effect by providing the high concentration impurity layer of source, drain electrodes of a LDD structure in a substrate.

CONSTITUTION: After a field insulating film is formed on a low concentration P-type silicon substrate and an active region is isolated, an insulating film is formed by thermal oxidizing. A polycrystalline silicon layer 10 and a polycrystalline silicon layer 11 to become a gate electrode are deposited. The gate 11 is formed by implanting phosphorus ions to low concentration impurity layers 30, 30' with the upper insulating layer as a mask. Then, arsenic is ion implanted thereby to form a high concentration impurity layer 20. Thereafter, with a spacer 41 as a mask the layer 10 is etched, and the gate 10 is formed. In this step, the overlapping amount with the layer 30 can be controlled by controlling the length of the spacer.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-143357

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)6月5日

H 01 L 29/78

3 0 1

L-8422-5F

審査請求 未請求 発明の数 2 (全4頁)

⑮ 発明の名称 半導体装置およびその製法

⑯ 特 願 昭62-300202

⑰ 出 願 昭62(1987)11月30日

⑱ 発 明 者 久 本 大 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 井 沢 龍 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 武 田 英 次 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置およびその製法

2. 特許請求の範囲

1. 半導体基板上に設けられた高濃度不純物拡散層電極と低濃度不純物拡散層電極とこれら電極層とオーバーラップした構造を有するゲート電極から成る絶縁ゲート型電界効果トランジスタにおいて、少なくともドレイン側で高濃度不純物拡散層電極を基板内部に設けたことを特徴とする半導体装置。

2. 半導体基板上に設けられた高濃度不純物拡散層電極と低濃度不純物拡散層電極とこれら電極層とオーバーラップした構造を有するゲート電極から成る絶縁ゲート型電界効果トランジスタにおいて、少なくともドレイン側で高濃度不純物拡散層電極を基板内部に設けたことを特徴とする半導体装置において、ゲート電極と不純物拡散層電極とのオーバーラップ構造を自己整合的に設けることを特徴とする半導体装置の製法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に係り、特に良好な電気特性を有する絶縁ゲート型電界効果トランジスタに関する。

〔従来の技術〕

LDD構造でゲートをソース・ドレイン電極層とオーバーラップさせる構造としては公開公報60-43863等が知られている。これらはソース・ドレインといった電極層とゲート電極間の電界等に着目したものであった。

〔発明が解決しようとする問題点〕

上記従来技術は、基板内部に電界について考慮されていなかった。

本発明の目的は、オーバーラップしたゲートが基板内部の電界に及ぼす効果を利用し、良好な電気特性を得ることを目的とする。

〔問題点を解決するための手段〕

上記目的は、LDD構造のソース・ドレイン電極の高濃度不純物層を基板内部に設けることによ

り達成される。

〔作用〕

ゲート電界効果によってソース・ドレイン電極での電界の緩和されるため耐圧が向上し、短チャネル効果を抑えることができる。

〔実施例〕

以下、本発明の実施例を図面を用いて説明する。第1図は本発明の特徴をもっとも良く表わしている素子断面図である。

第1図において、ソース・ドレイン電極は低濃度不純物層30, 30' および高濃度不純物層20, 20' によってつくられている。低濃度不純物層30, 30' は第1ゲート電極11の下側側面にはりだした第2ゲート電極10によってオーバーラップされている。

上記第1実施例は低濃度P型シリコン基板（もしくは基板より高濃度のPウェル）上に厚さ0.2~1 μm程度のフィールド絶縁膜を形成して活性領域を分離した後、熱酸化により活性領域にゲート絶縁膜となる厚さ5~50 nm程度の絶

縁膜を形成する。ゲート電極となる多結晶シリコン層10をCVD法により積み、導電性をもちかつ後にエッチングの阻マッパとなる層例えば薄い自然酸化膜をつけ、更に多結晶シリコン層11をつける。層間絶縁層を上のにのせてパターンニングし、これをマスクに先のエッチングストッパーの効く、例えば自然酸化膜に対してマイクロ波を用いてエッチングしゲート電極11の加工をおこなう。このエッチングにおいて酸化膜と多結晶シリコンではエッチング速度が2ケタ程度差があるため、下の層10はエッチングされることがない。（第2図（a））

ゲート11はおおよび上の絶縁層をマスクに低濃度不純物層30, 30' を 10^{12}cm^{-2} 程度の濃度のリンを40 KeV程度のエネルギーのイオン打込み法により形成する。（第2図（b））CVD法により SiO_2 の絶縁層をつけ、等方的なエッチングによりエッチングし、このエッチング量を制御することにより、ゲート11側面のスペーサ41となる層を所定の大きさに制御よく残すこと

- 3 -

ができる。

これをマスクに 10^{18}cm^{-2} 程度の濃度のヒ素を180 KeV程度のエネルギーでイオン打込みをおこなうことで、基板内約0.1 μm程度の深い位置に分布ピークをもった高濃度不純物層20を形成する。（第2図（c））次いでスペーサ41をマスクに層10をエッチングしゲート10を加工する。この工程においてスペーサ長を制御することにより低濃度不純物層30とのオーバーラップ量を制御することができる。

この実施例においてドレイン電極20, 20' を高バイアスし、ゲート10, 11およびソース電極20, 30を低バイアスした場合にも、ドレイン側低濃度不純物層30' は比較的低バイアスに保たれる。そのため、高濃度不純物層20' のチャネル側の電界も緩和される。よって、ゲート10からドレイン電極の高濃度不純物層20' との耐圧を増大させ、かつ基板内部におけるパンチスルーを抑えることができる。

この実施例においてゲート10の側部を部分酸

- 4 -

化して絶縁分離することができる。よって、この上に導電層を設けることにより、自己整合的にソース・ドレイン層とコンタクトをとることができる。

ここではnチャネルのデバイスを用いて説明したが、Pチャネルデバイスにおいても同様である。

第3図に示すように、高濃度不純物層20のチャネル側にパンチスルーストッパーとなる逆型不純物層50（例えばnチャネルデバイスにおいてはP型不純物の高濃度層）を設けることにより、よりパンチスルーに対する耐性を増すことができる。

上記実施例においてスペーサ41は一層で設けていたが、第4図に示すようにスペーサ41上に第2スペーサ42をつけることができる。

この場合、スペーサ42をマスクにイオン打込みをして電極層35に高濃度不純物層を設けることでコンタクトをとったとき電極における抵抗を下げるることができる。

この実施例においても第5図に示すように例え

ばnチャネルデバイスであればP型不純物層50を設けることによりパンチスルーをより抑えることができる。

41, 42...スペーサ、

50...パンチスルーストッパー層。

第6図に示すように、ゲート10の側部に第2ゲート11を設けることにより、オーバーラップ構造を実現することができる。この場合においてもパンチスルーストッパー層50を設けることで短チャネル効果をより抑えることができる。

〔発明の効果〕

本発明によれば、ゲート電極の電界効果によってソース・ドレイン電極層での電界を緩和することができるため、耐圧等が向上し、良好な電気特性が得られる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例の素子断面図、第2図は、第1実施例の製法を示す図。第3図ないし第6図は他実施例を示す断面図である。

10, 11...ゲート電極、

20, 20', 35...高濃度不純物層、

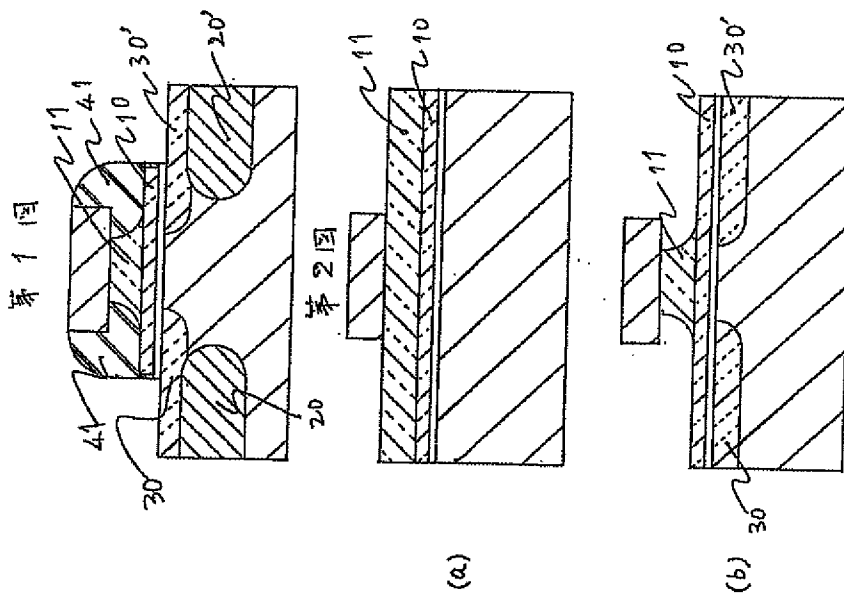
30, 30'...低濃度不純物層、

代理人 弁理士 小川勝男

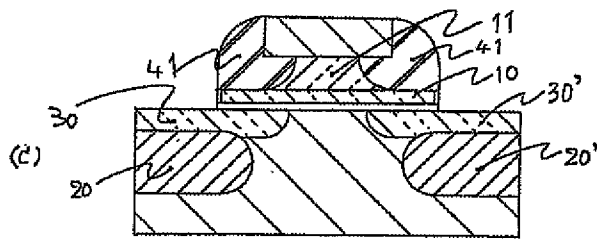


- 7 -

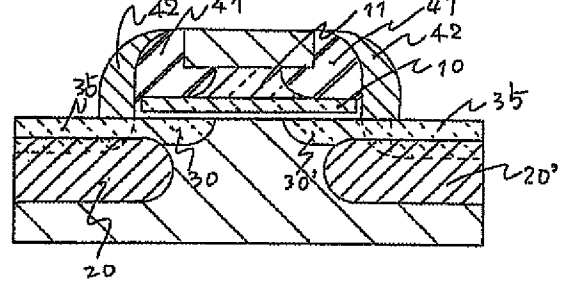
- 8 -



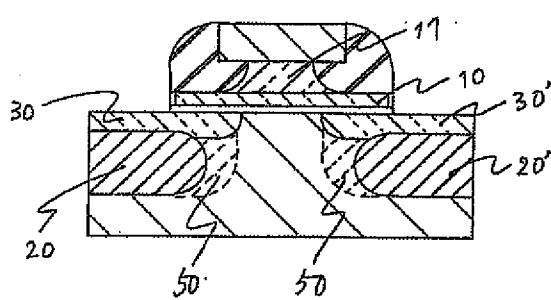
第2図



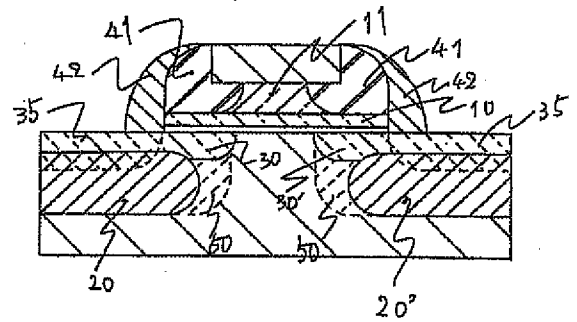
第4図



第3図



第5図



第6図

